**Цифровой** **компаратор**

***Цифровым*** ***компаратором*** называют устройство, фикси-рующее результат сравнения *n*-разрядных двоичных или двоично-десятичных кодов чисел (рис. 5.22, *а*). Цифровой компаратор можно построить на сумматоре, подавая на один суммирующий вход прямой код числа *А*, на другой — инверсный код числа *В* (рис. 5.22, *б*). На численном примере легко убедиться, что при *А* = *В* в четырех младших разрядах суммы формируются логиче-ские единицы, а при *A* > *B* единица формируется на выходе пе-реноса.

78

*n*

*n*

|  |  |
| --- | --- |
| АB | = = А> A= A< |

*а*

*а*1 *b*1

*а*2 *b*2

*а*3 *b*3

*а*4 *b*4

1 SM 1 &

2 2 *A* *=* *B*

4 4 1 *A* *<* *B*

8 8

16 *A* *>* *B* *б*

Рис. 5.22 — Цифровой компаратор и его реализация на сумматоре

Компаратор, фиксирующий равнозначность кодов *А* и *В*, можно выполнить на ЛЭ по схеме, показанной на рис. 5.23, *а*. При совпадении кодов во всех разрядах формируются логические нули на выходах элементов «Исключающее ИЛИ» и логический элемент ИЛИ-НЕ формирует на выходе 1. Другой вариант по-строения схемы равнозначности кодов приведен на рис. 5.23, *б*.

*a*1 =1 *b*1

1

*a*1 =1 *b*1

&

*a*2 =1 *a*2 =1

*b*2 *A* = *B* *b*2 *A* = *B*

*a*3 =1 *a*3 =1 *b*3 *b*3

*a*4 =1 *a*4 =1

*b*4 *а* *b*4 *б*

Рис. 5.23 — Схемы равнозначности кодов

**5.13** **Контроль** **четности**

***Контроль*** ***четности*** (нечетности) используется для обна-ружения однократных ошибок при передаче данных по линиям связи (рис. 5.24). В передатчике к *n*-разрядному слову добавляет-ся контрольный разряд (бит паритета) с таким значением (0 или 1),

79

чтобы сумма единиц в (*n* *+* 1)-разрядном сообщении была бы чет-ной. В приемнике производится контроль на четность. Если чис-ло единиц в принятом слове нечетно, фиксируется ошибка при передаче данных.

Последовательная

посылка D7’- D0’ 9

I

|  |  |
| --- | --- |
| D7-D | 0 |
|  | Пе |
| М2 IP |  |
|  |

8 8

редатчик Приемник М2

0 — разре-шение

P приема;

Рис. 5.24 — Передача данных с проверкой на четность

Для контроля восьмиразрядного сообщения можно исполь-зовать микросхему К555ИП5 — сумматор по модулю два. Он со-держит внутри восемь логических элементов «Исключающее ИЛИ». В передатчике 9-разрядное сообщение преобразуется в последовательный код (это преобразование можно выполнить с помощью регистра сдвига), передается по одному каналу связи, а затем на стороне приемника подвергается обратному преобразо-ванию в параллельный код. Если число единиц в принятом сооб-щении четно, логический 0 на выходе К555ИП5 разрешает прием сообщения *D*7*’-D*0*’*. В противном случае на выходе сумматора по модулю два формируется логическая 1и прием сообщения за-прещается. Функциональная схема и логическая структура мик-росхемы К555ИП5 приведены на рис. 5.25.

|  |  |
| --- | --- |
|  | 0 М2 12 3 4 5 6 7 Р |
|  |
|  |
|  |

0 1 2 3 4 5 6 7

|  |  |  |
| --- | --- | --- |
|  | =1=1 |  |
|  |
|  |
| =1=1 |

=1

=1

=1

Р

|  |  |
| --- | --- |
|  | =1 |
|  |

Рис. 5.25 — Сумматор по модулю 2

80

**5.14** **Примеры** **построения** **комбинационных** **цифровых** **устройств**

***Пример*** ***5.1.*** Построить коммутатор цифровых сигналов с 256 входных каналов на один выходной.

*Решение.* Схема коммутатора приведена на рис. 5.26.

16 *х*0 *–* *х*15 /

16 *х*240 *–* *х*255 /

4 *а*0 *–а*3 /

4

*а*4 *–* *а*7 /

*DD*1 *–* *DD*16

0 MS

|  |  |  |
| --- | --- | --- |
|  | 0 ...151 2 4 8 | MS |
| E |
|  |

*DD*17

0 MS ...

15

1 *Y* 2

4 8

*Z* E

Рис. 5.26 — Коммутатор цифровых сигналов

Для коммутации 256 информационных сигналов *х*0 *–* *х*255 тре-буется восьмиразрядная шина адреса *а*0 *–* *а*7. Устройство пред-ставляет собой многоканальный мультиплексор. Выходной сиг-нал *Y* повторяет информацию того входа *хi*, адрес которого по-дан на входы *а*0 *–* *а*7.

Максимальное число каналов, коммутируемое одной микро-схемой (например, К155КП1 или К555КП1), равно 16. Для по-строения устройства требуется 17 корпусов таких микросхем. Младший полубайт адреса канала подается на объединенные ад-ресные входы микросхем *DD*1*–DD*16*.* На управляющий вход Е

81

этих микросхем подан разрешающий уровень логического нуля. Вторую ступень коммутатора образует мультиплексор *DD*17, на адресные входы которого подается старший полубайт адреса коммутируемого канала. При *Z* *=* 1 все каналы закрыты. При *Z* *=* 0, дважды инвертируясь, на выход проходит сигнал того канала, адрес которого зафиксирован на адресных входах *а*0 *–* *а*7.

***Пример*** ***5.2*.** Спроектировать сигнальное устройство, зажи-гающее светодиод, если сработали любые 7 из 9 датчиков. При срабатывании датчик формирует на выходе логическую 1, иначе на выходе датчика логический 0.

*Решение.* Просуммируем число сработавших датчиков с по-мощью сумматоров (рис. 5.27, подключив датчики 1–9 к их вхо-дам с весом 1.

+5 В

1 2 3

4 5 6

*DD*1

7

|  |  |
| --- | --- |
| 1 SM | 12 |

1 SM 1

2

*DD*2

1 SM 1

2

2 4

8 9

1

2

4

8

*DD*3 330

SM

1

2 &

4 *DD*4

8

Рис. 5.27 — Сигнальное устройство

Логический элемент И-НЕ на выходе устройства формирует логический нуль, необходимый для того, чтобы светодиод заго-релся, только при суммарном количестве сработавших датчиков, равном семи. В устройстве можно задействовать микросхемы К555ИМ5 (*DD*1), К555ИМ2 (*DD*2), К555ИМ6 (*DD*3), К555ЛА4 (*DD*4). Резистор задает рабочий ток светодиода порядка 10 мА.

82

***Пример*** ***5.3.*** На микросхемах средней степени интеграции создать устройство, обеспечивающее передачу цифровых сооб-щений от 32 абонентов на передающей стороне такому же числу абонентов на приемной стороне.

Установим на передающей стороне четыре мультиплексора 8 →1, выходы которых объединим с помощью четырехвходового мультиплексора (рис. 5.28). Выбор источника информации на восьмивходовых мультиплексорах будем вести с помощью трех младших бит адресов А2-А1-А0. Выбор группы источников (выбор мультиплексора ) будем производить с помощью двух старших бит адресов А4, А3, подаваемых на выходной мультиплексор.

3

3







2

1

2

1

2

1

2

D1 – D8 MS Di

A0-A2 Ai DC D1-D8

A1 1

 A2 4 1

D9 – D16 МS Di

1

Линия A0-A2 связи

E

CS 1

DC

Ai D9-D16

A0

A1

 A2 4 2

D17–D24 MS Di

A0 A1

 A2 4 3

1

2

4

A3 A4

MS 2 Di

A0-A2

1

2

3

A0-A2

E

CS 2

DC

Ai D17-D24

E

CS 3

DC

Ai D25-D32

D25–D32 MS

Di 4

E

CS 4

A0 A0

A1 A1

A2 A2 4 A3

A4

A3 1 DC 4 A4 2

A0-A4

1

2

4

Рис. 5.28 – Структурная схема передачи цифровых сообщений по одной линии связи

83

На приемной стороне установим четыре восьмивходовых демультиплексора, управляющие входы E которых соединим с передающей стороной. Выбор дешифратора-демультиплексора производим с помощью двух старших бит адресов А4, А3 прием-ной стороны. Эти адреса подаются на дополнительный дешифра-

тор 2:4, выходные сигналы которого поступают на входы *CS* (выбор микросхемы) основных дешифраторов. Выбор источника информации осуществляется младшими битами адресов А2-А1-А0 приемника.